

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-177365

(43)Date of publication of application : 30.06.1998

(51)Int.Cl.

G09G 3/28
H01J 11/00
H04N 5/66

(21)Application number : 08-353670 (71)Applicant : VICTOR CO OF JAPAN LTD

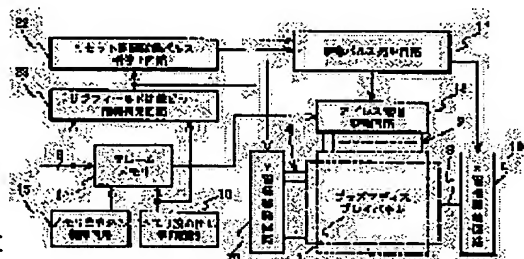
(22)Date of filing : 16.12.1996 (72)Inventor : MASUCHI SHIGEHIRO
AIBA HIDEKI

(54) DRIVE CONTROLLER FOR PLASMA DISPLAY PANEL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a drive controller capable of effectively executing the improvement of contrast and the reduction of power consumption.

SOLUTION: One field is divided into plural sub-fields to execute the half tone display of a picture signal and each sub-field is constituted of a reset period, an address period and a holding discharge period. A sub-field picture bit information judging circuit 23 judges the existence of picture bit information in one sub-field within a picture area. A reset period drive pulse batch stop circuit 22 stops a drive pulse in the reset period as to a field judged that no picture bit information exists.



LEGAL STATUS

[Date of request for examination] 29.09.1999

[Date of sending the examiner's decision of rejection] 15.11.2002

[Kind of final disposal of application other

BEST AVAILABLE COPY

than the examiner's decision of rejection
or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-177365

(43) 公開日 平成10年(1998) 6月30日

(51) Int.Cl.⁵ 識別記号

G 0 9 G 3/28

H 0 1 J 11/00

H 0 4 N 5/66

1 0 1

F I

G 0 9 G 3/28

H 0 1 J 11/00

H 0 4 N 5/66

K

E

K

1 0 1 B

審査請求 未請求 請求項の数3 F D (全 21 頁)

(21) 出願番号 特願平8-353670

(22) 出願日 平成8年(1996)12月16日

(71) 出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番地

(72) 発明者 増地 重博

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

(72) 発明者 相羽 英樹

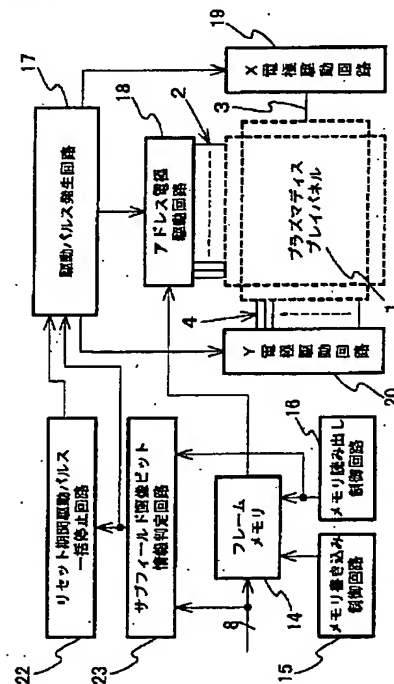
神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

(54) 【発明の名称】 プラズマディスプレイパネル表示装置の駆動制御装置

(57) 【要約】

【課題】 コントラストの向上や消費電力の削減を効果的に行うことのできるプラズマディスプレイパネル表示装置の駆動制御装置を提供する。

【解決手段】 1フィールドを複数のサブフィールドに分割して画像信号の中間調表示を行うようにし、サブフィールドをリセット期間とアドレス期間と維持放電期間とで構成する。サブフィールド画像ビット情報判定回路23は、画像領域内で、1サブフィールド中の画像ビット情報を判定する。リセット期間駆動パルス一括停止回路22は、画像ビット情報が全く存在しないと判定したフィールドに対しては、リセット期間における駆動パルスを停止させる。



【特許請求の範囲】

【請求項1】1フィールドを複数のサブフィールドに分割して画像信号の中間調表示を行うようにし、前記サブフィールドをリセット期間とアドレス期間と維持放電期間とで構成し、前記アドレス期間及び前記維持放電期間において前記画像信号の中間調表示に関わる表示放電を行うと共に、前記リセット期間もしくは前記アドレス期間において前記中間調表示には直接関わらない補助放電を行うように駆動するプラズマディスプレイパネル表示装置の駆動制御装置において、前記画像信号を貯蔵するメモリと、前記メモリへの前記画像信号の書き込みを制御するメモリ書き込み制御回路と、前記メモリより前記画像信号をサブフィールド毎に読み出すよう制御するメモリ読み出し制御回路と、1サブフィールド中に画像ビット情報が存在するか否かを判定するサブフィールド画像ビット情報判定回路と、前記サブフィールド画像ビット情報判定回路により前記画像ビット情報が全く存在しないと判定したサブフィールドに対しては、前記リセット期間における駆動パルスを停止するリセット期間駆動パルス停止手段とを備えて構成したことを特徴とするプラズマディスプレイパネル表示装置の駆動制御装置。

【請求項2】前記サブフィールド画像ビット情報判定回路により前記画像ビット情報が全く存在しないと判定したサブフィールドに対しては、前記アドレス期間における駆動パルスを停止するアドレス期間駆動パルス停止手段をさらに備えて構成したことを特徴とする請求項1記載のプラズマディスプレイパネル表示装置の駆動制御装置。

【請求項3】前記サブフィールド画像ビット情報判定回路により前記画像ビット情報が全く存在しないと判定したサブフィールドに対しては、前記維持放電期間における駆動パルスを停止する維持放電期間駆動パルス停止手段をさらに備えて構成したことを特徴とする請求項1または2のいずれかに記載のプラズマディスプレイパネル表示装置の駆動制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プラズマディスプレイパネル表示装置に画像表示するためのプラズマディスプレイパネル表示装置の駆動制御装置に係り、特に、表示放電（表示書き込み放電及び維持放電）を行う以外に、補助放電（表示放電に直接関係のない補助的な放電）も行うプラズマディスプレイパネル表示装置の駆動制御装置に関する。

【0002】

【従来の技術】プラズマディスプレイパネルは、直流（DC）方式と交流（AC）方式の2種類の駆動方式の違いにより、それぞれパネル構造が異なっている。一般

的に、DC方式は電極が放電空間上に露出しているが、AC方式は電極が誘電体層で覆われているのが特徴である。AC方式は、誘電体の作用により、放電セル自体にメモリ機能を有している。これについては、各種の文献（例えば、日経エレクトロニクス1995年10-23（no. 647）号特集「壁掛けテレビが2000年に普及へ」等）に記載されているので、ここでは詳細な説明は省略する。

【0003】図19は、一般的なAC方式プラズマディスプレイパネルの中で、3電極方式の面放電型プラズマディスプレイパネルを簡略的に示した平面図である。図19において、プラズマディスプレイパネル1は、A1～Amで示すアドレス電極2、X電極3、Y1～Ynで示すY電極4、放電セル部5、障壁6で構成されている。なお、ここでは簡略化のため、Y電極4の本数nに対してX電極3の本数を1としているが、X電極の駆動条件によっては、Y電極4の本数nに対してX電極3の本数を複数としても構わない。また、1つの放電セル部5に斜線を付して図示している。

【0004】図20は、図19に示すプラズマディスプレイパネル1の断面の一例を示す部分斜視図である。図20において、放電セル部5は、前面ガラス基板7、X電極3、Y電極4、誘電体層8、MgO（酸化マグネシウム）保護層9、障壁6、R（赤）蛍光体10（またはG（緑）蛍光体11、B（青）蛍光体12）、アドレス電極2、背面ガラス基板13で囲まれている放電空間である。この放電空間内に、He（ヘリウム）、Ne（ネオン）、Xe（キセノン）等の混合ガスを封入して、アドレス電極2、X電極3、Y電極4との間で放電を起こし、この放電によって生じた紫外線で蛍光体10～12を励起してR、G、B3原色の発光を得る。

【0005】図21は、図19に示すプラズマディスプレイパネル1を備えたプラズマディスプレイパネル表示装置による表示動作を説明するための駆動波形の一例を示す図である。図21には、A1～Amなるアドレス電極2と、XなるX電極3と、Y1～YnなるY電極4に供給する駆動波形を示している。この図21に示すように、1サブフィールドは、リセット期間、アドレス期間、維持放電期間の3種類の期間によって構成されている。なお、サブフィールドとはフィールドの一部を構成するものであり、これについては後に詳述する。

【0006】まず、リセット期間の放電動作について順番に説明する。この例におけるリセット期間では、①全画面一括消去、②全画面一括書き込み、③全画面一括消去の3段階の放電が順になされる。このリセット期間における放電はリセット放電と称され、表示放電とは直接的に関係ない補助放電である。このように、リセット期間が3段階の動作によって構成されている主な理由は、リセット期間の次のアドレス期間における表示書き込み放電を安定化させるためと、駆動ドライバICの消費電

力を抑え、低いアドレス電圧で高速に表示書き込み放電させるためである。

【0007】上記①の全画面一括消去では、前サブフィールドでの維持放電期間における表示状態、即ち、全画面に対する放電している放電セル部5の割合等による壁電荷の影響を受けないようにするために、X電極3に、壁電荷の残留分のみを消去する電圧 V_e なるイレースパルス印加し、全ての放電セル部5に対して消去放電を行う。なお、このイレースパルスは、壁電荷の残留分のみを消去することが目的であるので、例えば、図21に示すイレースパルスよりも高い電圧で幅の細いパルス等でも同様の効果がある。

【0008】次に、上記②の全画面一括書き込みでは、 $Y_1 \sim Y_n$ の全てのY電極4に、その電圧のみで放電が開始する電圧 V_w なるライトパルスを印加し、全ての放電セル部5のX電極3とY電極4との間で強制的に書き込み放電を行う。このとき、アドレス電極2がX電極3と同電位(0V)になっているため、アドレス電極2とX電極3とにイオンが2分され、イオンはそれぞれの電極の表面に蓄積する。一方、Y電極4には、アドレス電極2上のイオン数とX電極3上のイオン数との合計数の電子が表面に蓄積する。

【0009】そして、上記③の全画面一括消去では、再びX電極3にイレースパルスを印加し、リセット期間の次のアドレス期間における表示書き込み放電に不要な分だけの壁電荷を消去する消去放電を全ての放電セル部5に対して行う。この消去放電後も、アドレス電極2上の蛍光体表面にはイオンが残留し、Y電極4上にはアドレス電極2上のイオンと同数の電子が残留している状態が持続される。

【0010】次に、表示書き込み放電を行うためのアドレス期間の表示動作について説明する。まず、アドレス電極2では、表示ライン数にあたる n 行分の画像ビット情報を、 Y_1 行から1行ずつシリアルデータとして順に出力する。このとき、各アドレス電極 $A_1 \sim A_m$ では、表示させる放電セル部5のみにアドレスパルスを選択的に印加する。一方、X電極3には、アドレス期間中、アドレス期間の次の維持放電期間で印加するサステインパルス(維持パルス)と同電位の V_s なる電圧で固定させるサステイン電圧ホールドパルスが印加される。なお、サステインパルスの電圧値は、リセット期間後に残留している壁電荷と電圧 V_s の合計電圧では放電が開始しない電圧値に設定する。

【0011】また、Y電極4は、アドレス期間のほとんどでは、アドレスパルスと同電位の V_a なる電圧で固定されているが、アドレス電極に印加されるシリアルデータに対応して、Y電極4における電極 Y_1 から電極 Y_n に向かって1行ずつ順番に、アドレスパルスと同位相で、0Vの電圧にするスキャンパルスが印加される。これにより、アドレス電極2にアドレスパルスが印加され

ると共に、Y電極4にスキャンパルスが印加されている場合にのみ、アドレスパルスとサステインパルスの合計電圧が、リセット期間後に残留している壁電荷に重畳されて放電開始電圧以上になるため表示書き込み放電が起こり、画像ビット情報が書き込まれる。また、このときにリセット期間における上記②の全画面一括書き込み時と同様に放電セル部5内に壁電荷が残留する。

【0012】そして、維持放電期間では、Y電極4とX電極3に放電を維持させるためのサステインパルスを交互に印加する。このとき、アドレス電極2は0Vに固定しているが、アドレス期間において画像ビット情報が書き込まれた放電セル部5に残留している壁電荷の量は、リセット期間後に残留している壁電荷の量よりも不要な壁電荷を消去した量だけ多いため、結果的にサステインパルスのみで再放電(維持放電)する。従って、維持放電期間では、アドレス期間で画像ビット情報が書き込まれた放電セル部5のみ、サステインパルスを印加した回数だけ放電が持続する。このように、AC方式プラズマディスプレイパネルには、セル自体に壁電荷を残留させることにより、パネルにメモリ機能を持たせることができる。

【0013】図22は、図21に示す駆動方法でサブフィールド分割による中間調表示をする場合の動作の一例を示す図である。図22における縦軸 $Y_1 \sim Y_n$ は表示ライン数を示しており、横軸は時間軸を表している。図22では、256階調(8ビット)を得るために、1フィールド(16.6ms)を輝度の相対比が異なる8個のサブフィールド(SF1~SF8)に分割し、画像ビット情報のLSB(最下位ビット)からMSB(最上位ビット)まで順番にサブフィールドを構成している。このように、1フィールドをM個のサブフィールドに分割して、画像ビット情報に基づいたビットの重み付けによる視覚的な積分効果を利用して、2のM乗の階調をプラズマディスプレイパネル1に画像表現している。

【0014】それぞれのサブフィールドは、上述のように、リセット期間、アドレス期間、放電維持期間で構成される。サブフィールド毎に維持期間の長さが異なっているのは、ビットの重み付けに相当した維持パルス(サステインパルス)数を印加しているためである。実際に印加される維持パルス数は、LSBより、1, 2, 4, ..., 128であり、発光輝度を稼ぐためにさらにそのN倍(Nは正の整数)のパルス数を印加している。

【0015】図23は従来のプラズマディスプレイパネル表示装置の駆動制御装置による駆動方法を体系的に示す図である。図23は、図21に示す従来の駆動方法で図22に示すサブフィールド分割による中間調表示を行う際、プラズマディスプレイパネル表示装置で表示する全ての有効画像領域内において、1フィールド中のある特定のサブフィールドの画像ビット情報が全く存在しない場合の、各電極3, 4に供給するパルスの供給状況を

簡略的に示している。

【0016】なお、図23において、RSTはリセット期間、ADRはアドレス期間、SUSは維持放電期間である。A1～Amで示されるアドレス電極2においては、アドレスパルスの有無を“有”、“無”で表し、Xで示されるX電極3及びY1～Ynで示されるY電極4においては、駆動パルス（イレースパルス、ライトパルス、サステイン電圧ホールドパルス、スキャンパルス、サステインパルス）の有を“○”で表している。

【0017】図23に示すように、例えばサブフィールドSF8のみ画像ビット情報が全く存在しない場合には、サブフィールドSF8では、アドレス期間においてアドレス電極2に供給されるべきアドレスパルスは全く印加されない。そのため、X電極3やY電極4にサステイン電圧ホールドパルスやスキャンパルスが供給されても、表示書き込み放電は起こらない。また、表示書き込み放電が起こらないため、維持放電期間においてX電極3やY電極4にサステインパルスが供給されても、維持放電（再放電）は起こらない。

【0018】

【発明が解決しようとする課題】図23からも分かるように、AC方式プラズマディスプレイパネルの中で3電極方式の面放電型プラズマディスプレイパネル1を駆動する場合には、放電セル部5内で表示書き込み放電及び維持放電以外にも、各サブフィールドのリセット期間において、全画面書き込み放電及び全画面消去放電を毎回必ず行うため、これがコントラストを著しく低下させてしまうという問題点があった。この問題点に対して、リセット期間における全画面書き込み放電あるいは全画面消去放電の回数を減少する等してコントラストを改善しているものや、白ピーク輝度を上げることによって見かけ上コントラスト比を上げる等の提案がされているが、根本的な解決方法ではない。

【0019】さらに、全体的に暗い画面のとき、あるいは、シーンチェンジのときや同期信号のみが入力されて画像信号が無信号のとき等では、特に黒浮きが目立つため、著しく表示品質を低下させてしまうという問題点もある。また、この問題点は上記AC方式のパネルに限らず、同一放電セル部内で表示書き込み放電や維持放電を行う以外に表示放電に直接関係のない補助的な放電も行うプラズマディスプレイパネルでは例外なく全ての場合に共通して全く同様に存在する。

【0020】一方、DC方式のプラズマディスプレイパネルの中で、表示書き込み放電及び維持放電を行う表示セル以外に、表示放電に直接関係のない補助的な放電を行う補助セルを設けているプラズマディスプレイパネルでは、補助セルをブラックマトリクスすることによって黒レベルを真っ黒にすることができる。このように、コントラストの改善、特に、黒レベルを改善することが、補助セルを設けていないプラズマディスプレイパネルに

にとって必須の課題である。

【0021】さらに、従来の駆動制御装置においては、入力画像信号が無信号のときや、特定のサブフィールドの入力画像ビット情報が全くないときなどでも、各サブフィールドのアドレス期間及び維持放電期間において、スキャンパルスやサステインパルス等の駆動パルスを毎回必ず印加するため、駆動回路部で消費する表示放電に寄与しない無駄な消費電力が発生してしまうという問題点もあった。パネルの高精細化や大型化のために表示ピクセル数が増えれば増えるほど、駆動回路部で消費する表示放電に寄与しない無駄な消費電力は著しく増大してしまう。

【0022】本発明はこのような問題点に鑑みなされたものであり、表示放電（表示書き込み放電及び維持放電）を行う以外に、補助放電（表示放電に直接関係のない補助的な放電）も行うプラズマディスプレイパネルにおいて、黒レベルを下げてコントラストを向上させることができ、さらに、消費電力を効率的に削減することができるプラズマディスプレイパネル表示装置の駆動制御装置を提供することを目的とする。

【0023】

【課題を解決するための手段】本発明は、上述した従来の技術の課題を解決するため、1フィールドを複数のサブフィールドに分割して画像信号の中間調表示を行うようにし、前記サブフィールドをリセット期間とアドレス期間と維持放電期間とで構成し、前記アドレス期間及び前記維持放電期間において前記画像信号の中間調表示に関わる表示放電を行うと共に、前記リセット期間もしくは前記アドレス期間において前記中間調表示には直接関係のない補助放電を行うように駆動するプラズマディスプレイパネル表示装置の駆動制御装置において、前記画像信号を貯蔵するメモリ（14）と、前記メモリへの前記画像信号の書き込みを制御するメモリ書き込み制御回路（15）と、前記メモリより前記画像信号をサブフィールド毎に読み出すよう制御するメモリ読み出し制御回路（16）と、1サブフィールド中に画像ビット情報が存在するか否かを判定するサブフィールド画像ビット情報判定回路（23）と、前記サブフィールド画像ビット情報判定回路により前記画像ビット情報が全く存在しないと判定したサブフィールドに対しては、前記リセット期間における駆動パルスを停止するリセット期間駆動パルス停止手段（22）とを備えて構成したことを特徴とするプラズマディスプレイパネル表示装置の駆動制御装置を提供するものである。さらには、サブフィールド画像ビット情報判定回路により前記画像ビット情報が全く存在しないと判定したサブフィールドに対しては、前記アドレス期間における駆動パルスを停止するアドレス期間駆動パルス停止手段（24）や、前記維持放電期間における駆動パルスを停止する維持放電期間駆動パルス停止手段（25）をさらに備えるプラズマディスプレイパ

ネル表示装置の駆動制御装置を提供するものである。

【0024】

【発明の実施の形態】以下、本発明のプラズマディスプレイパネル表示装置の駆動制御装置について、添付図面を参照して説明する。図1は本発明の駆動制御装置の第1実施例を示すブロック図、図2は図1のさらに詳細な構成の一例を示すブロック図、図3は図2の動作を説明するためのタイミング図、図4は本発明の駆動制御装置の第1実施例による表示動作を説明するための駆動波形の一例を示す図、図5は本発明の駆動制御装置の第1実施例を体系的に示す図、図6は本発明の駆動制御装置の第1実施例でサブフィールド分割による中間調表示をする場合の動作の一例を示す図、図7は本発明の駆動制御装置の第2実施例を示すブロック図、図8は本発明の駆動制御装置の第2実施例による表示動作を説明するための駆動波形の一例を示す図、図9は本発明の駆動制御装置の第2実施例を体系的に示す図、図10は本発明の駆動制御装置の第2実施例でサブフィールド分割による中間調表示をする場合の動作の一例を示す図、図11は本発明の駆動制御装置の第3実施例を示すブロック図、図12は本発明の駆動制御装置の第3実施例による表示動作を説明するための駆動波形の一例を示す図、図13は本発明の駆動制御装置の第3実施例を体系的に示す図、図14は本発明の駆動制御装置の第3実施例でサブフィールド分割による中間調表示をする場合の動作の一例を示す図、図15は本発明の駆動制御装置の第4実施例を示すブロック図、図16は本発明の駆動制御装置の第4実施例による表示動作を説明するための駆動波形の一例を示す図、図17は本発明の駆動制御装置の第4実施例を体系的に示す図、図18は本発明の駆動制御装置の第4実施例でサブフィールド分割による中間調表示をする場合の動作の一例を示す図である。

【0025】従来の駆動制御装置では、前述のように、表示放電に関わる表示書き込み放電や維持放電が起こらなくても、各サブフィールドのリセット期間において、X電極3とY電極4との間で全画面消去や全画面書き込みを毎回必ず行うため、表示放電の有無に関わらず各サブフィールド毎に放電セル部5においてリセット放電（全画面消去や全画面書き込み）による発光が起きることになる。また、表示放電に関わる表示書き込み放電や維持放電が起こらなくても、各サブフィールドのアドレス期間や維持放電期間において、表示放電（表示書き込み放電や維持放電）に関わる駆動パルスの印加を毎回必ず行うため、駆動回路部で消費する表示放電に寄与しない無駄な消費電力が発生することになる。

【0026】そこで、ある特定の試験信号、パソコン入力信号やアニメーションの画像等のように、1フィールド中のある特定のサブフィールド画像のビット情報が全く存在しない場合には、これを検出する。そして、この状態に該当する場合にはリセット期間における駆動パル

スを停止させることによってリセット放電を停止させ、黒レベルを下げてコントラストを向上させる。さらには、アドレス期間や維持放電期間における駆動パルスを停止させることによって、消費電力を削減する。

【0027】＜第1実施例＞まず、本発明のプラズマディスプレイパネル表示装置の駆動制御装置の第1実施例について説明する。本発明のプラズマディスプレイパネル表示装置に用いるプラズマディスプレイパネルは図19、図20と同様である。

【0028】まず、図5を用いて本発明の駆動制御装置の第1実施例について体系的に説明する。図5において、RSTはリセット期間、ADRはアドレス期間、SUSは維持放電期間である。A1～Amで示されるアドレス電極2においては、アドレスパルスの有無を“有”、“無”で表し、Xで示されるX電極3及びY1～Ynで示されるY電極4においては、駆動パルス（イレースパルス、ライトパルス、サステイン電圧ホールドパルス、スキャンパルス、サステインパルス）の有無を“○”、“×”で表している。図5は、プラズマディスプレイパネル表示装置で表示する全ての有効画像領域内において、サブフィールドSF8のみ画像ビット情報が全く存在しない場合を示している。この図5より分かるように、サブフィールドにおける画像ビット情報が全く存在しない状態を検出したときには、リセット期間において、X電極3及びY電極4への駆動パルス（イレースパルス、ライトパルス）の供給を停止することにより、X電極3とY電極4との間で放電させるリセット放電を全て停止させる。

【0029】具体的には、画像ビット情報が全く存在しないサブフィールドSF8においては、図4に示すように、リセット期間において各電極3、4に供給されるべき全てのパルスを停止させて、強制的にパルスを何も印加しない状態にする。画像ビット情報が存在する他のサブフィールドSF1～SF7においては、従来と同様、図21に示すように、リセット期間においても各電極3、4にパルスを供給する。

【0030】この図4に示す駆動方法によると、図22と同様に、256階調（8ビット）を得るために、1フィールド（16.6ms）を輝度の相対比が異なる8個のサブフィールド（SF1～SF8）に分割し、画像ビット情報のLSB（最下位ビット）からMSB（最上位ビット）まで順番にサブフィールドを構成すると、図6に示すように、各サブフィールドにおけるリセット期間は、画像ビット情報が全く存在しないサブフィールドSF8では休止期間となり、他のサブフィールドSF1～SF7では従来通りのリセット期間となる。

【0031】ここで、第1実施例を実現するプラズマディスプレイパネル表示装置の駆動制御装置の構成について、図1～図3を用いて説明する。図1において、フレームメモリ14には例えば8ビットのデジタル信号に変

換された画像信号(R, G, B信号)が入力される。フレームメモリ14は2つのフィールドメモリで構成されており、1フィールド毎に書き込みと読み出しが交互に切り替わる。なお、画像信号の信号形態がR, G, B信号別々の3系統となっている場合には、フレームメモリ14は3つ必要であり、R, G, B信号が複合されて1系統となっている場合には、フレームメモリ14は1つで構成される。メモリ書き込み制御回路15は、フレームメモリ14に書き込み制御信号を入力して画像信号のフレームメモリ14への書き込みを制御する。メモリ読み出し制御回路16は、フレームメモリ14に読み出し制御信号を入力してフレームメモリ14からのサブフィールド画像ビット信号の読み出しを制御する。

【0032】フレームメモリ14より読み出された表示データ信号であるサブフィールド画像ビット信号は、アドレス電極駆動回路18に入力される。駆動パルス発生回路17は、プラズマディスプレイパネル1を駆動するために、各電極2~4へ供給する各種駆動パルスを発生する。即ち、駆動パルス発生回路17は、アドレス電極駆動回路18にアドレス電極駆動パルスを供給し、X電極駆動回路19にX電極駆動パルスを供給し、Y電極駆動回路20にY電極駆動パルスを供給する。アドレス電極駆動回路18、X電極駆動回路19、Y電極駆動回路20は、それぞれの駆動パルスを高圧パルスに変換して各電極2~4に供給する。これによって、プラズマディスプレイパネル1は駆動される。

【0033】一方、フレームメモリ14に入力される画像信号は、サブフィールド画像ビット情報判定回路23にも入力される。サブフィールド画像ビット情報判定回路23は、フレームメモリ14に入力される画像信号のプラズマディスプレイパネル1で表示する全ての有効画像領域において、それぞれのサブフィールド毎に、画像ビット情報があるかないかを判定し、そのサブフィールド画像ビット情報をリセット期間駆動パルス一括停止回路22及び駆動パルス発生回路17に入力する。

【0034】リセット期間駆動パルス一括停止回路22は、サブフィールド画像ビット情報判定回路23により画像ビット情報がないと判定したサブフィールドに対しては、リセット期間で各電極3, 4に供給される全ての駆動パルスを強制的に停止させるリセット期間駆動パルス一括停止信号を駆動パルス発生回路17に供給する。これによって、画像ビット情報が全く存在しないと判定したサブフィールドに対しては、リセット期間におけるリセット放電が停止させられる。

【0035】図1中のサブフィールド画像ビット情報判定回路23は、一例として図2に示すように、8個のJKフリップフロップ231、Dフリップフロップ232、セレクト233を備えて構成される。なお、JKフリップフロップ231は、本実施例では1フィールドを8サブフィールドに分割しているため8個であり、1フ

ィールドにおけるサブフィールドの数に応じた個数となる。JKフリップフロップ231の端子Jには、MSBからLSBのそれぞれのビットのデータが入力され、端子Kには垂直同期パルスVDが入力され、また、クロック端子には書き込みクロックCKWが入力される。なお、ここでは図示を省略しているが、この書き込みクロックCKWはフレームメモリ14にも供給され、フレームメモリ14に入力される画像信号の書き込み用クロックとして使用される。

【0036】JKフリップフロップ231は、1フィールドの期間において、一旦、端子Jにハイの信号が入力されると、そのフィールドの期間は端子Qからの出力をハイに保持する。8個のJKフリップフロップ231のそれぞれの出力はDフリップフロップ232の端子D1~D8に入力される。Dフリップフロップ232のクロック端子には垂直同期パルスVDが入力される。このDフリップフロップ232はディレイ素子として動作するものであり、JKフリップフロップ231の出力を1フィールド遅延して出力する。即ち、Dフリップフロップ232の端子Q1~Q8からの出力は、サブフィールドの画像ビット情報が存在すればハイであり、サブフィールドの画像ビット情報が全く存在しなければ、ローとなる。

【0037】Dフリップフロップ232の出力はセレクト233の端子SF1~SF8に入力される。セレクト233には、メモリ読み出し制御回路16よりメモリ読み出し制御信号が入力される。このメモリ読み出し制御信号によって、セレクト233より、フレームメモリ14より出力されるサブフィールド画像ビット信号に合わせたサブフィールドの画像ビット情報が選択的に出力される。なお、画像信号はフレームメモリ14によって1フィールド遅延され、サブフィールド画像ビット情報判定回路23によって判定されたサブフィールドの画像ビット情報もDフリップフロップ232によって1フィールド遅延されることになるので、画像信号とサブフィールドの画像ビット情報とが同期している。

【0038】セレクト233の出力は、上記のようにリセット期間駆動パルス一括停止回路22に入力されるので、画像ビット情報が全く存在しないサブフィールドに対しては、リセット期間におけるリセット放電を停止することができる。

【0039】ここで、図2に示すサブフィールド画像ビット情報判定回路23の動作について図3を用いてさらに説明する。図3において、(A)は垂直同期パルスVD、(B)~(I)は8個のJKフリップフロップ231それぞれの端子Qの出力波形の一例、(J)~(Q)はDフリップフロップ232の端子Q1~Q8の出力波形、(R)はセレクト233に入力されるメモリ読み出し制御信号、(S)はセレクト233の出力波形をそれぞれ示している。

【0040】図3に示す左側の1フィールドにおいては、8個のJKフリップフロップ231がそれぞれ図3(B)～(I)に示すような波形を出力すれば、Dフリップフロップ232は次のフィールドである右側の1フィールドにおいて、ハイもしくはローに保持した図3(J)～(Q)に示す波形を出力する。なお、左側の1フィールドにおいては、Dフリップフロップ232の出力やセクタ233の出力は、前フィールドの状態を示していないので、図3(J)～(Q)、(S)に示すようにハッチングを付して不定としている。

【0041】そして、図3に示す右側の1フィールドにおいては、図3(J)～(Q)に示す波形がメモリ読み出し制御回路16からの図3(R)に示すメモリ読み出し制御信号によって選択されるので、セクタ233の出力波形は図3(S)に示す波形となる。図3(S)に示す例においては、サブフィールドSF1、SF3、SF6～SF8がローとなっているので、これらのサブフィールドが無信号であり、リセット期間における駆動パルスが停止されることになる。

【0042】以上により、従来、あるサブフィールドにおいて、入力画像信号が無信号の状態のときに発生していた放電セル部5の表示放電に直接関係しない補助的な放電(リセット放電)を全てなくすることができる。よって、黒浮きが抑えられ、コントラスト感も高まり、その分、表示品位が向上する。また、リセット期間における駆動パルスを停止させるので、表示放電に直接寄与しない無駄な消費電力も減少させることができる。

【0043】<第2実施例>次に、本発明のプラズマディスプレイパネル表示装置の駆動制御装置の第2実施例について説明する。本発明のプラズマディスプレイパネル表示装置に用いるプラズマディスプレイパネルは図19、図20と同様である。

【0044】まず、図9を用いて本発明の駆動制御装置の第2実施例について体系的に説明する。図9において、RSTはリセット期間、ADRはアドレス期間、SUSは維持放電期間である。A1～Amで示されるアドレス電極2においては、アドレスパルスの有無を“有”、“無”で表し、Xで示されるX電極3及びY1～Ynで示されるY電極4においては、駆動パルス(イレースパルス、ライトパルス、サステイン電圧ホールドパルス、スキャンパルス、サステインパルス)の有無を“○”、“×”で表している。図9は、プラズマディスプレイパネル表示装置で表示する全ての有効画像領域内において、サブフィールドSF8のみ画像ビット情報が全く存在しない場合を示している。

【0045】この図9より分かるように、サブフィールドにおける画像ビット情報が全く存在しない状態を検出したときには、リセット期間において、一例としてX電極3及びY電極4への駆動パルス(イレースパルス、ライトパルス)の供給を停止することにより、X電極3と

Y電極4との間で放電させるリセット放電を全て停止させる。さらに、アドレス期間において、一例としてX電極3及びY電極4への駆動パルス(サステイン電圧ホールドパルス、スキャンパルス)の供給を全て停止させる。

【0046】具体的には、画像ビット情報が全く存在しないサブフィールドSF8においては、図8に示すように、リセット期間及びアドレス期間において各電極3、4に供給されるべき全てのパルスを停止させて、強制的にパルスを何も印加しない状態にする。画像ビット情報が存在する他のサブフィールドSF1～SF7においては、従来と同様、図21に示すように、リセット期間及びアドレス期間においても各電極3、4にパルスを供給する。

【0047】この図8に示す駆動方法によると、図22と同様に、256階調(8ビット)を得るために、1フィールド(16.6ms)を輝度の相対比が異なる8個のサブフィールド(SF1～SF8)に分割し、画像ビット情報のLSB(最下位ビット)からMSB(最上位ビット)まで順番にサブフィールドを構成すると、図10に示すように、各サブフィールドにおけるリセット期間及びアドレス期間は、画像ビット情報が全く存在しないサブフィールドSF8では休止期間となり、他のサブフィールドSF1～SF7では従来通りのリセット期間及びアドレス期間となる。

【0048】ここで、第2実施例を実現するプラズマディスプレイパネル表示装置の駆動制御装置の構成について、図7を用いて説明する。図7において、図1と同一部分には同一符号を付し、その説明を適宜省略する。サブフィールド画像ビット情報判定回路23より出力されたサブフィールド画像ビット情報は、リセット期間駆動パルス一括停止回路22、アドレス期間駆動パルス一括停止回路24、駆動パルス発生回路17に入力される。

【0049】リセット期間駆動パルス一括停止回路22は、サブフィールド画像ビット情報判定回路23により画像ビット情報がないと判定したサブフィールドに対しては、リセット期間で各電極3、4に供給される全ての駆動パルスを強制的に停止させるリセット期間駆動パルス一括停止信号を駆動パルス発生回路17に供給する。これによって、画像ビット情報が全く存在しないと判定したサブフィールドに対しては、リセット期間におけるリセット放電が停止させられる。

【0050】また、アドレス期間駆動パルス一括停止回路24は、サブフィールド画像ビット情報判定回路23により画像ビット情報がないと判定したサブフィールドに対しては、アドレス期間で各電極3、4に供給される全ての駆動パルスを強制的に停止させるアドレス期間駆動パルス一括停止信号を駆動パルス発生回路17に供給する。これによって、画像ビット情報が全く存在しないと判定したサブフィールドに対しては、アドレス期間に

おける駆動パルスが停止させられる。

【0051】以上により、従来、特定のサブフィールドにおいて、入力画像ビット情報が全く存在しないときに発生していた放電セル部5の表示放電に直接関係しない補助的な放電（リセット放電）を全てなくすることができる。よって、黒浮きが抑えれ、コントラスト感も高まり、その分、表示品位が向上する。また、リセット期間及びアドレス期間における駆動パルスを停止させるので、第1実施例よりもさらに消費電力を減少させることができる。

【0052】＜第3実施例＞さらに、本発明のプラズマディスプレイパネル表示装置の駆動制御装置の第3実施例について説明する。本発明のプラズマディスプレイパネル表示装置に用いるプラズマディスプレイパネルは図19、図20と同様である。

【0053】まず、図13を用いて本発明の駆動制御装置の第3実施例について体系的に説明する。図13において、RSTはリセット期間、ADRはアドレス期間、SUSは維持放電期間である。A1～Amで示されるアドレス電極2においては、アドレスパルスの有無を“有”，“無”で表し、Xで示されるX電極3及びY1～Ynで示されるY電極4においては、駆動パルス（イレーズパルス、ライトパルス、サステイン電圧ホールドパルス、スキャンパルス、サステインパルス）の有無を“○”，“×”で表している。図13は、プラズマディスプレイパネル表示装置で表示する全ての有効画像領域内において、サブフィールドSF8のみ画像ビット情報が全く存在しない場合を示している。

【0054】この図13より分かるように、サブフィールドにおける画像ビット情報が全く存在しない状態を検出したときには、リセット期間において、X電極3及びY電極4への駆動パルス（イレーズパルス、ライトパルス）の供給を停止することにより、X電極3とY電極4との間で放電させるリセット放電を全て停止させる。さらに、維持放電期間において、X電極3及びY電極4への駆動パルス（サステインパルス）の供給を全て停止する。

【0055】具体的には、画像ビット情報が全く存在しないサブフィールドSF8においては、図12に示すように、リセット期間及び維持放電期間において各電極3、4に供給されるべき全てのパルスを停止させて、強制的にパルスを何も印加しない状態にする。画像ビット情報が存在する他のサブフィールドSF1～SF7においては、従来と同様、図21に示すように、リセット期間及び維持放電期間においても各電極3、4にパルスを供給する。

【0056】この図12に示す駆動方法によると、図22と同様に、256階調（8ビット）を得るために、1フィールド（16.6ms）を輝度の相対比が異なる8個のサブフィールド（SF1～SF8）に分割し、画像

ビット情報のLSB（最下位ビット）からMSB（最上位ビット）まで順番にサブフィールドを構成すると、図14に示すように、各サブフィールドにおけるリセット期間及び維持放電期間は、画像ビット情報が全く存在しないサブフィールドSF8では休止期間となり、他のサブフィールドSF1～SF7では従来通りのリセット期間及び維持放電期間となる。

【0057】ここで、第3実施例を実現するプラズマディスプレイパネル表示装置の構成について、図11を用いて説明する。図11において、図1と同一部分には同一符号を付し、その説明を適宜省略する。サブフィールド画像ビット情報判定回路23より出力されたサブフィールド画像ビット情報は、リセット期間駆動パルス一括停止回路22、維持放電期間駆動パルス一括停止回路25、駆動パルス発生回路17に入力される。

【0058】リセット期間駆動パルス一括停止回路22は、サブフィールド画像ビット情報判定回路23により画像ビット情報がないと判定したサブフィールドに対しては、リセット期間で各電極3、4に供給される全ての駆動パルスを強制的に停止させるリセット期間駆動パルス一括停止信号を駆動パルス発生回路17に供給する。これによって、画像ビット情報が全く存在しないと判定したサブフィールドに対しては、リセット期間におけるリセット放電が停止させられる。

【0059】また、維持放電期間駆動パルス一括停止回路25は、サブフィールド画像ビット情報判定回路23により画像ビット情報がないと判定したサブフィールドに対しては、維持放電期間で各電極3、4に供給される全ての駆動パルスを強制的に停止させる維持放電期間駆動パルス一括停止信号を駆動パルス発生回路17に供給する。これによって、画像ビット情報が全く存在しないと判定したサブフィールドに対しては、維持放電期間における駆動パルスが停止させられる。

【0060】以上により、従来、特定のサブフィールドにおいて、入力画像ビット情報が全く存在しないときに発生していた放電セル部5の表示放電に直接関係しない補助的な放電（リセット放電）を全てなくすることができる。よって、黒浮きが抑えれ、コントラスト感も高まり、その分、表示品位が向上する。また、リセット期間及び維持放電期間における駆動パルスを停止させるので、第1実施例よりもさらに消費電力を減少させることができる。

【0061】＜第4実施例＞引き続き、本発明のプラズマディスプレイパネル表示装置の駆動制御装置の第4実施例について説明する。本発明のプラズマディスプレイパネル表示装置に用いるプラズマディスプレイパネルは図19、図20と同様である。

【0062】まず、図17を用いて本発明の駆動方法の第4実施例について体系的に説明する。図17において、RSTはリセット期間、ADRはアドレス期間、S

USは維持放電期間である。A1～Amで示されるアドレス電極2においては、アドレスパルスの有無を“有”、“無”で表し、Xで示されるX電極3及びY1～Ynで示されるY電極4においては、駆動パルス（イレースパルス、ライトパルス、サステイン電圧ホールドパルス、サステインパルス）の有無を“○”、“×”で表している。図17は、プラズマディスプレイパネル表示装置で表示する全ての有効画像領域内において、サブフィールドSF8のみ画像ビット情報が全く存在しない場合を示している。

【0063】この図17より分かるように、サブフィールドにおける画像ビット情報が全く存在しない状態を検出したときには、リセット期間において、X電極3及びY電極4への駆動パルス（イレースパルス、ライトパルス）の供給を停止することにより、X電極3とY電極4との間で放電させるリセット放電を全て停止させる。さらに、アドレス期間と維持放電期間の双方において、X電極3及びY電極4への駆動パルス（サステイン電圧ホールドパルス、スキャンパルス、サステインパルス）の供給を全て停止する。

【0064】具体的には、画像ビット情報が全く存在しないサブフィールドSF8においては、図16に示すように、リセット期間、アドレス期間、維持放電期間の全てにおいて、各電極3、4に供給されるべき全てのパルスを停止させて、強制的にパルスを何も印加しない状態にする。画像ビット情報が存在する他のサブフィールドSF1～SF7においては、従来と同様、図21に示すように、リセット期間及び維持放電期間においても各電極3、4にパルスを供給する。

【0065】この図16に示す駆動方法によると、図22と同様に、256階調（8ビット）を得るために、1フィールド（16.6ms）を輝度の相対比が異なる8個のサブフィールド（SF1～SF8）に分割し、画像ビット情報のLSB（最下位ビット）からMSB（最上位ビット）まで順番にサブフィールドを構成すると、図18に示すように、各サブフィールドにおけるリセット期間、アドレス期間、維持放電期間は、画像ビット情報が全く存在しないサブフィールドSF8では休止期間となり、他のサブフィールドSF1～SF7では従来通りのリセット期間、アドレス期間、維持放電期間となる。

【0066】ここで、第4実施例のプラズマディスプレイパネル表示装置の構成について、図15を用いて説明する。図15において、図1と同一部分には同一符号を付し、その説明を適宜省略する。サブフィールド画像ビット情報判定回路23より出力されたサブフィールド画像ビット情報は、リセット期間駆動パルス一括停止回路22、アドレス期間駆動パルス一括停止回路24、維持放電期間駆動パルス一括停止回路25、駆動パルス発生回路17に入力される。

【0067】リセット期間駆動パルス一括停止回路22

は、サブフィールド画像ビット情報判定回路23により画像ビット情報がないと判定したサブフィールドに対しては、リセット期間で各電極3、4に供給される全ての駆動パルスを強制的に停止させるリセット期間駆動パルス一括停止信号を駆動パルス発生回路17に供給する。これによって、画像ビット情報が全く存在しないと判定したサブフィールドに対しては、リセット期間におけるリセット放電が停止させられる。

【0068】また、アドレス期間駆動パルス一括停止回路24は、サブフィールド画像ビット情報判定回路23により画像ビット情報がないと判定したサブフィールドに対しては、アドレス期間で各電極3、4に供給される全ての駆動パルスを強制的に停止させるアドレス期間駆動パルス一括停止信号を駆動パルス発生回路17に供給する。これによって、画像ビット情報が全く存在しないと判定したサブフィールドに対しては、アドレス期間における駆動パルスが停止させられる。

【0069】さらに、維持放電期間駆動パルス一括停止回路25は、サブフィールド画像ビット情報判定回路23により画像ビット情報がないと判定したサブフィールドに対しては、維持放電期間で各電極3、4に供給される全ての駆動パルスを強制的に停止させる維持放電期間駆動パルス一括停止信号を駆動パルス発生回路17に供給する。これによって、画像ビット情報が全く存在しないと判定したサブフィールドに対しては、維持放電期間における駆動パルスが停止させられる。

【0070】以上により、従来、特定のサブフィールドにおいて、入力画像ビット情報が全く存在しないときに発生していた放電セル部5の表示放電に直接関係しない補助的な放電（リセット放電）を全てなくすることができる。よって、黒浮きが抑えれ、コントラスト感も高まり、その分、表示品位が向上する。また、リセット期間、アドレス期間、維持放電期間の全てにおける駆動パルスを停止させるので、第1～第3実施例よりもさらに消費電力を減少させることができる。

【0071】なお、第1～第4実施例では、AC方式プラズマディスプレイパネル1を備えたプラズマディスプレイパネル表示装置について説明したが、本発明の駆動制御装置は、DC方式プラズマディスプレイパネルを備えたプラズマディスプレイパネル表示装置を含め、表示放電（表示書き込み放電及び維持放電）を行う以外に、補助放電（表示放電に直接関係のない補助的な放電）も行うプラズマディスプレイパネル表示装置の全てに対して同様に適用することができる。例えば、中間調表示に直接関わらない補助放電をアドレス期間に行うようにしたプラズマディスプレイパネル表示装置においても、同様に、補助放電に関わる駆動パルスを停止する。

【0072】さらに、本発明は本実施例で示した図1、図7、図11、図15の構成に限定されることはなく、本発明の要旨を逸脱しない範囲において種々変更可能で

ある。一例として本実施例では、リセット期間駆動パルス一括停止回路22、アドレス期間駆動パルス一括停止回路24、維持放電期間駆動パルス一括停止回路25を用いてそれぞれの期間における駆動パルスを停止しているが、次のように構成してもよい。即ち、サブフィールド画像ビット情報判定回路22より出力されるサブフィールド画像ビット情報をX電極駆動回路19やY電極駆動回路20に入力し、X電極駆動回路19やY電極駆動回路20において高圧パルスの電圧値を0とすることによって、それぞれの期間においてプラズマディスプレイパネル1に供給（印加）する駆動パルスを停止させることもできる。

【0073】

【発明の効果】以上詳細に説明したように、本発明のプラズマディスプレイパネル表示装置の駆動制御装置は、画像信号を貯蔵するメモリと、このメモリへの画像信号の書き込みを制御するメモリ書き込み制御回路と、メモリよりサブフィールド毎に画像ビット信号を読み出すよう制御するメモリ読み出し制御回路と、1サブフィールド中に画像ビット情報が存在するか否かを判定するサブフィールド画像ビット情報判定回路と、このサブフィールド画像ビット情報判定回路により画像ビット情報が全く存在しないと判定したサブフィールドに対しては、リセット期間における駆動パルスを停止するリセット期間駆動パルス停止手段とを備えて構成したので、黒レベルを下げてコントラストを向上させることができる。また、消費電力も削減することができる。さらに、アドレス期間における駆動パルスを停止するアドレス期間駆動パルス停止手段や、維持放電期間における駆動パルスを停止する維持放電期間駆動パルス停止手段をさらに備えれば、消費電力をさらに効率的に削減することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例を示すブロック図である。

【図2】図1のさらに詳細な構成を示すブロック図である。

【図3】図2の動作を説明するためのタイミング図である。

【図4】本発明の第1実施例による表示動作を説明するための駆動波形の一例を示す図である。

【図5】本発明の第1実施例を体系的に示す図である。

【図6】本発明の第1実施例でサブフィールド分割による中間調表示をする場合の動作の一例を示す図である。

【図7】本発明の第2実施例を示すブロック図である。

【図8】本発明の第2実施例による表示動作を説明するための駆動波形の一例を示す図である。

【図9】本発明の第2実施例を体系的に示す図である。

【図10】本発明の第2実施例でサブフィールド分割による中間調表示をする場合の動作の一例を示す図であ

る。

【図11】本発明の第3実施例を示すブロック図である。

【図12】本発明の第3実施例による表示動作を説明するための駆動波形の一例を示す図である。

【図13】本発明の第3実施例を体系的に示す図である。

【図14】本発明の第3実施例でサブフィールド分割による中間調表示をする場合の動作の一例を示す図である。

【図15】本発明の第4実施例を示すブロック図である。

【図16】本発明の第4実施例による表示動作を説明するための駆動波形の一例を示す図である。

【図17】本発明の第4実施例を体系的に示す図である。

【図18】本発明の第4実施例でサブフィールド分割による中間調表示をする場合の動作の一例を示す図である。

【図19】3電極方式の面放電型プラズマディスプレイパネルを簡略的に示す平面図である。

【図20】3電極方式の面放電型プラズマディスプレイパネルの断面の一例を示す部分斜視図である。

【図21】従来例による表示動作を説明するための駆動波形の一例を示す図である。

【図22】従来例でサブフィールド分割による中間調表示をする場合の動作の一例を示す図である。

【図23】従来例を体系的に示す図である。

【符号の説明】

1 プラズマディスプレイパネル

2 アドレス電極

3 X電極

4 Y電極

5 放電セル部

14 フレームメモリ

15 メモリ書き込み制御回路

16 メモリ読み出し制御回路

17 駆動パルス発生回路

18 アドレス電極駆動回路

19 X電極駆動回路

20 Y電極駆動回路

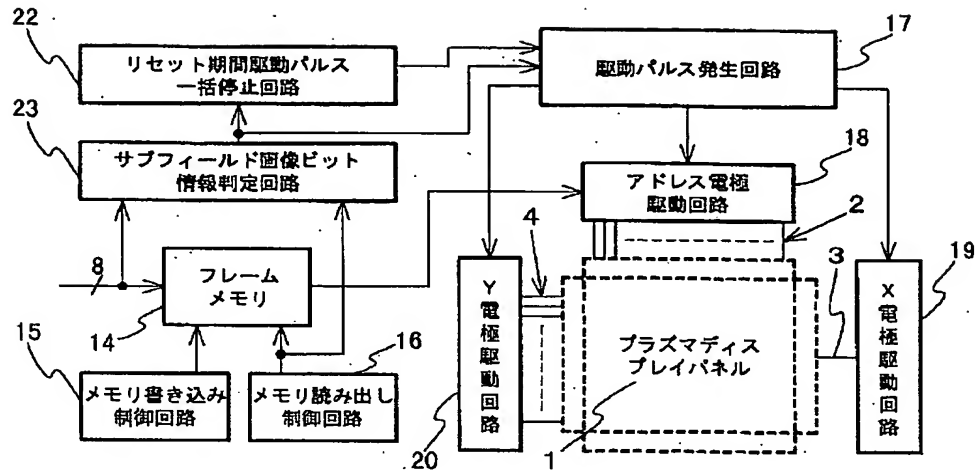
22 リセット期間駆動パルス一括停止回路（リセット期間駆動パルス停止手段）

23 サブフィールド画像ビット情報判定回路

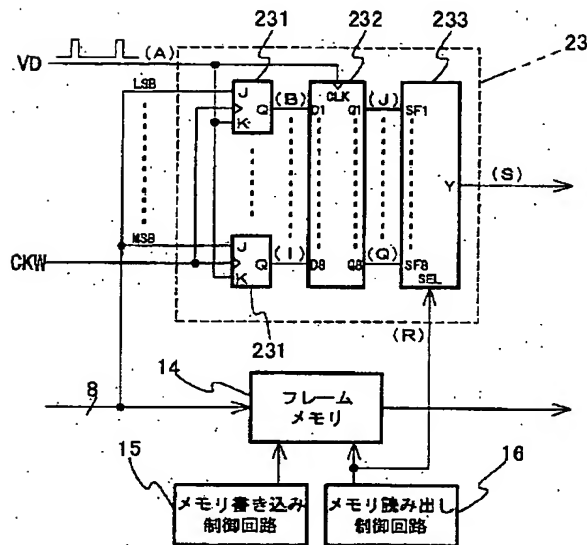
24 アドレス期間駆動パルス一括停止回路（アドレス期間駆動パルス停止手段）

25 維持放電期間駆動パルス一括停止回路（維持放電期間駆動パルス停止手段）

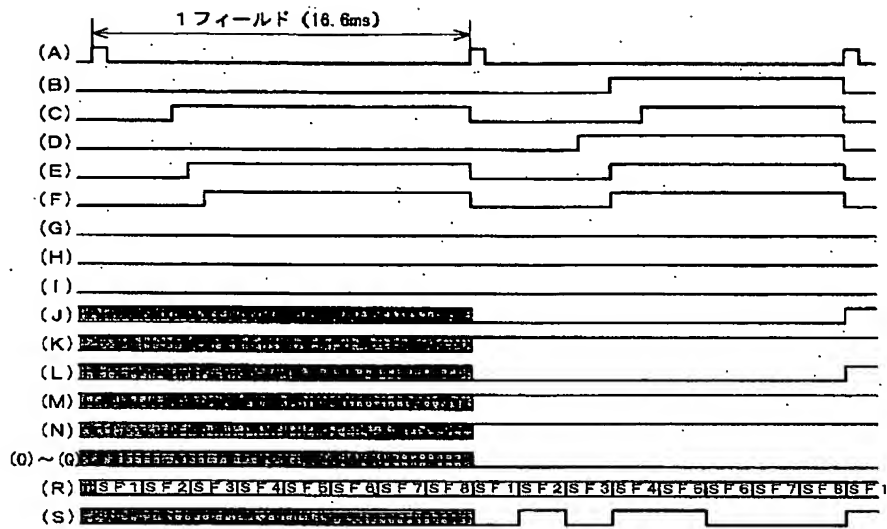
【図1】



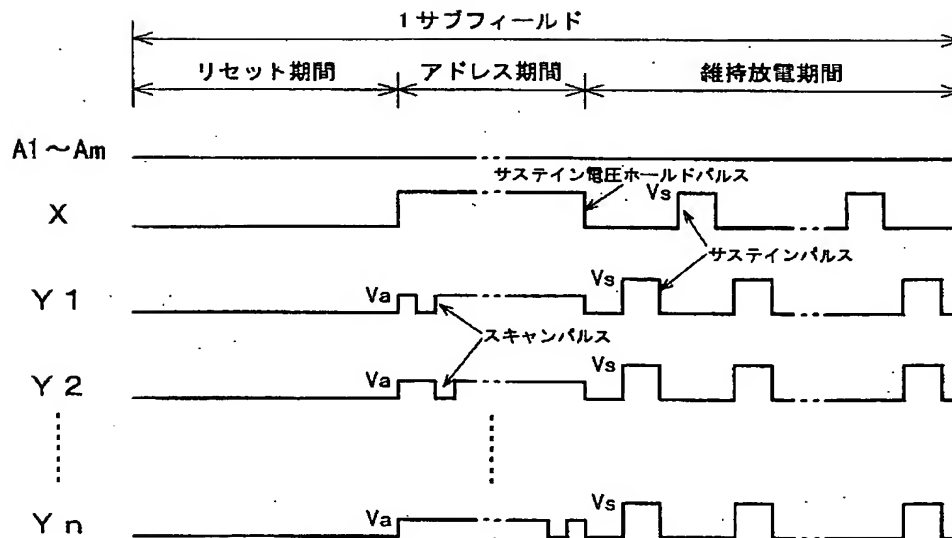
【図2】



【図3】



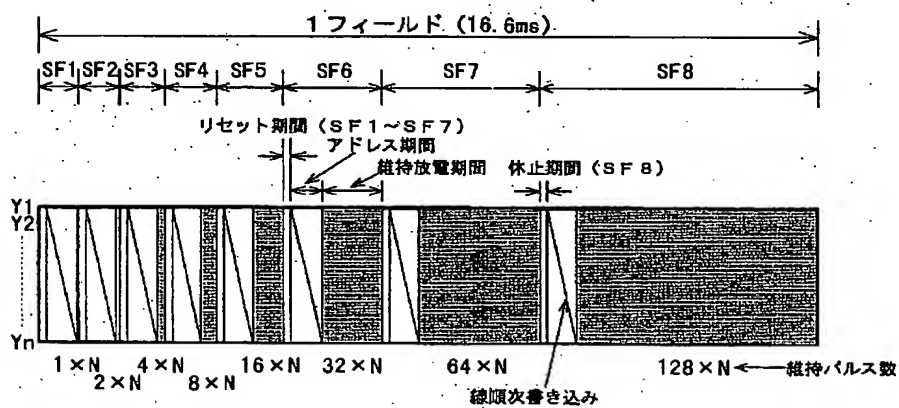
【図4】



【図5】

1フィールド									
SF1			SF7			SF8			
RST	ADR	SUS	RST	ADR	SUS	RST	ADR	SUS	
A1~Am	—	有	—	有	—	—	無	—	
X	○	○	○	○	○	×	○	○	
Y1~Yn	○	○	○	○	○	×	○	○	

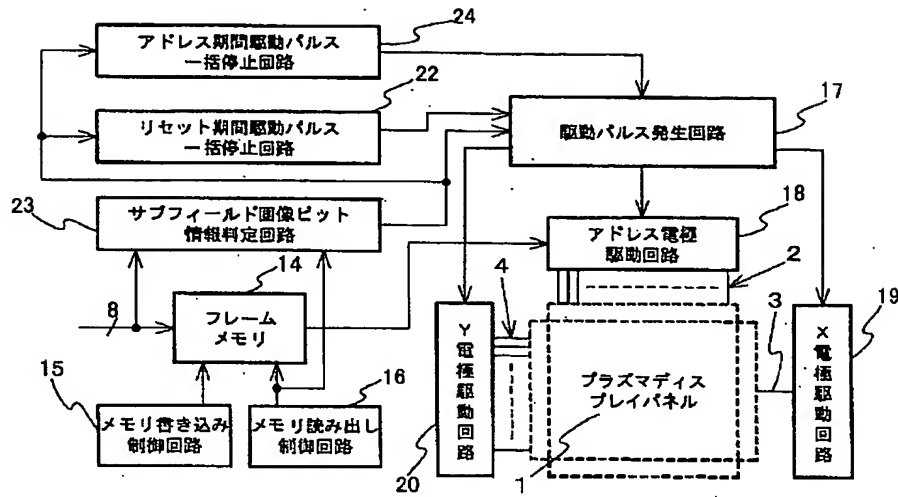
【図6】



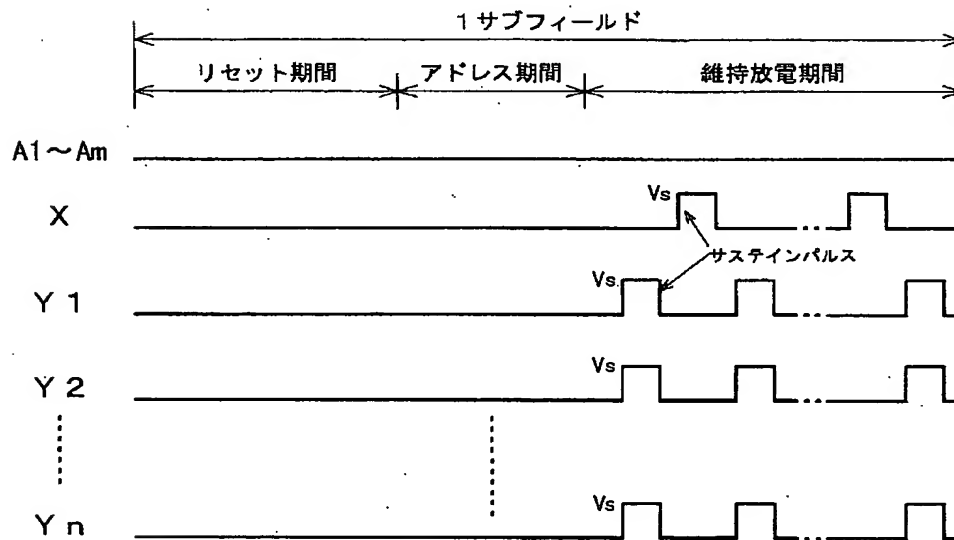
【図9】

1フィールド									
SF1			SF7			SF8			
RST	ADR	SUS	RST	ADR	SUS	RST	ADR	SUS	
A1~Am	—	有	—	有	—	—	無	—	
X	○	○	○	○	○	×	×	○	
Y1~Yn	○	○	○	○	○	×	×	○	

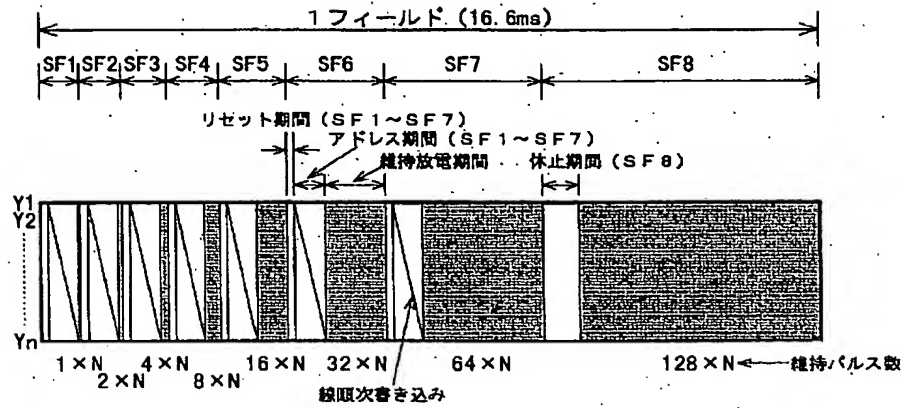
【図7】



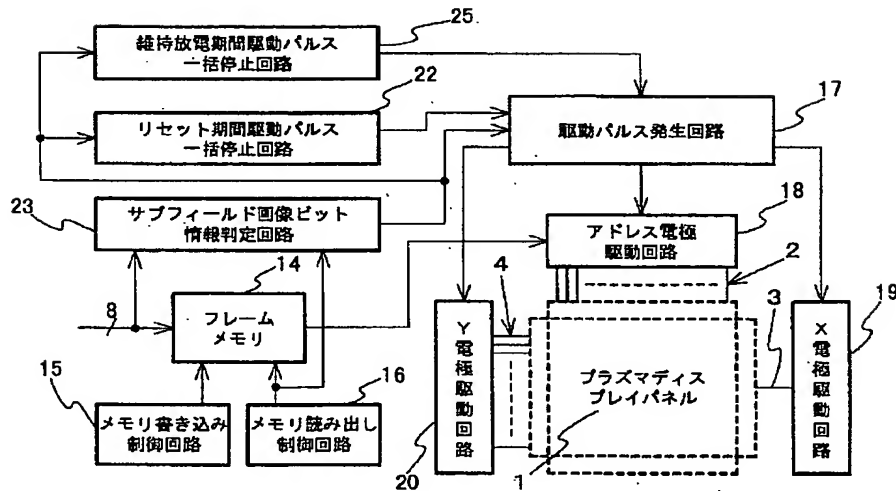
【図8】



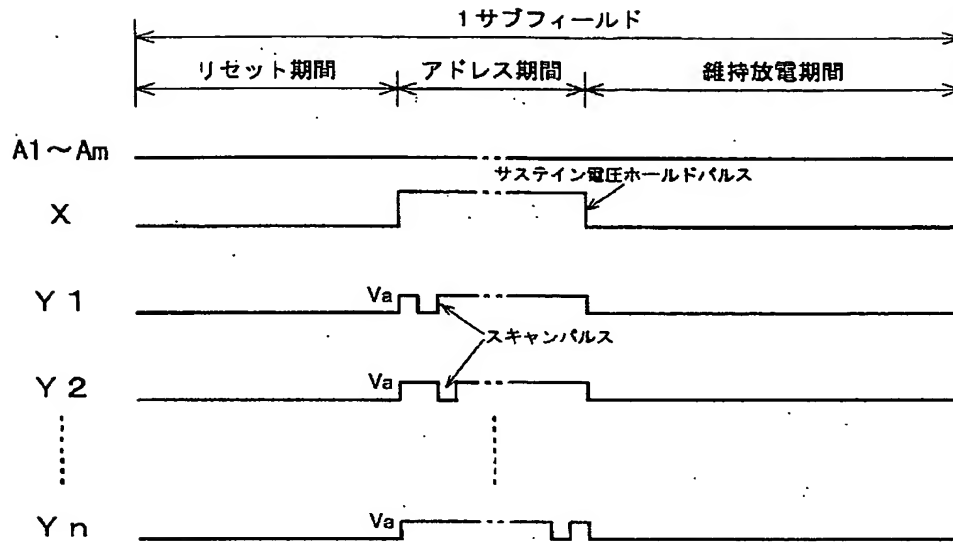
【図10】



【図11】



【図12】



【図13】

1フィールド									
SF1			SF7			SF8			
RST	ADR	SUS	RST	ADR	SUS	RST	ADR	SUS	
—	有	—	—	有	—	—	無	—	
○	○	○	○	○	○	×	○	×	
○	○	○	○	○	○	×	○	×	

A1~Am

X

Y1~Yn

【図17】

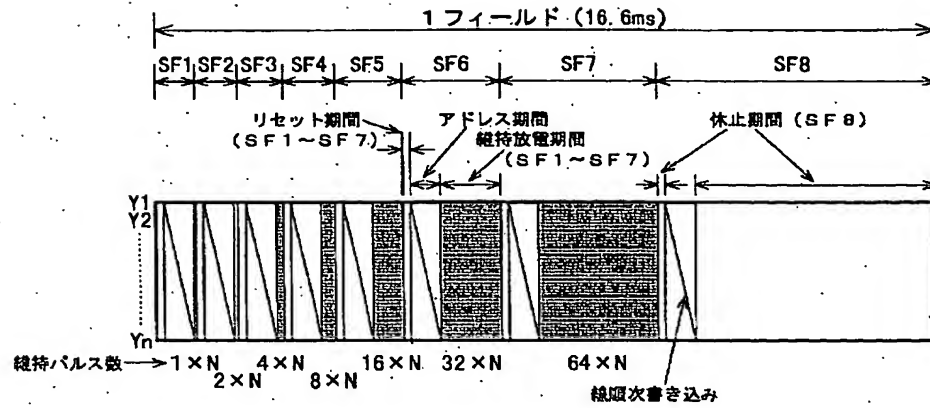
1フィールド									
SF1			SF7			SF8			
RST	ADR	SUS	RST	ADR	SUS	RST	ADR	SUS	
—	有	—	—	有	—	—	無	—	
○	○	○	○	○	○	×	×	×	
○	○	○	○	○	○	×	×	×	

A1~Am

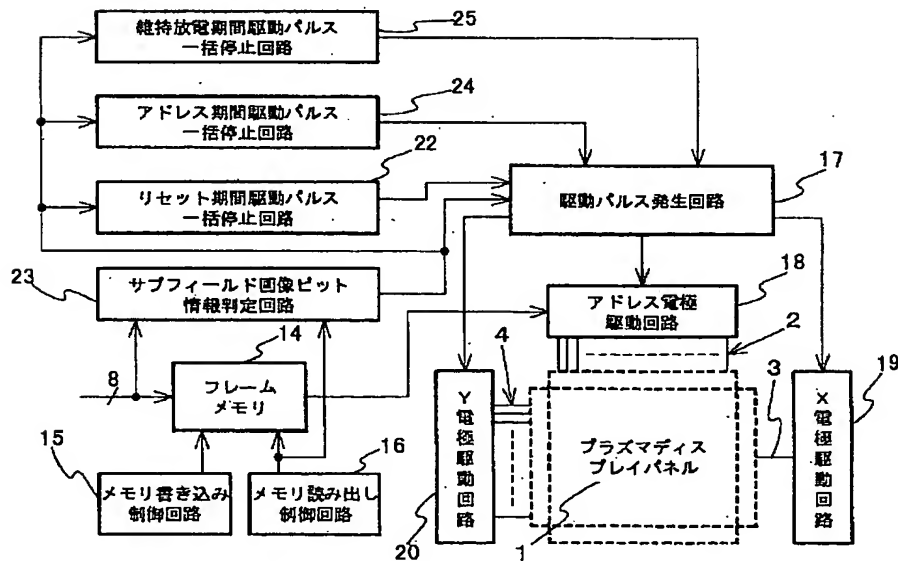
X

Y1~Yn

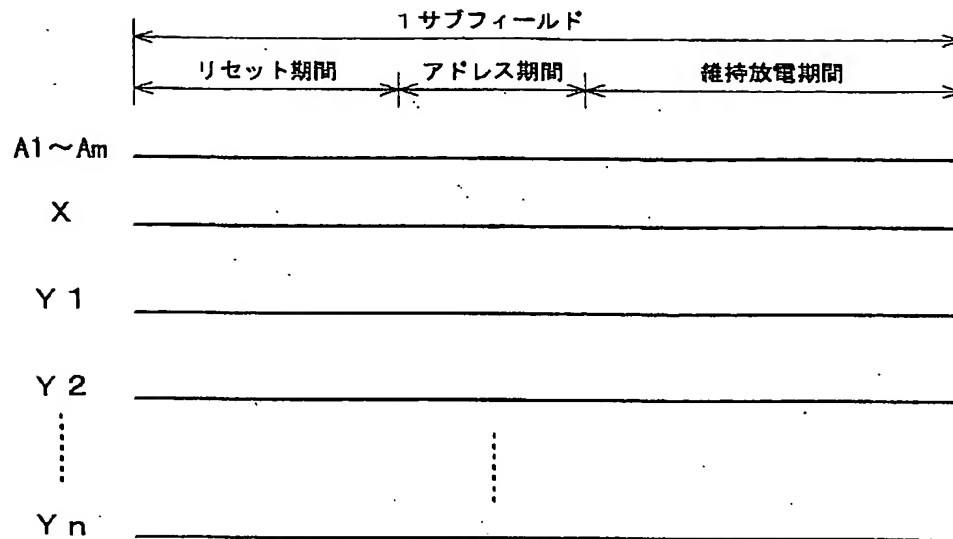
【図14】



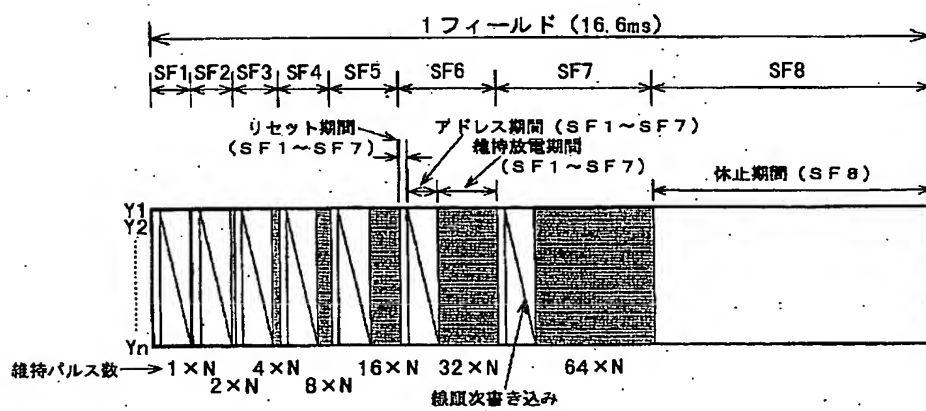
【図15】



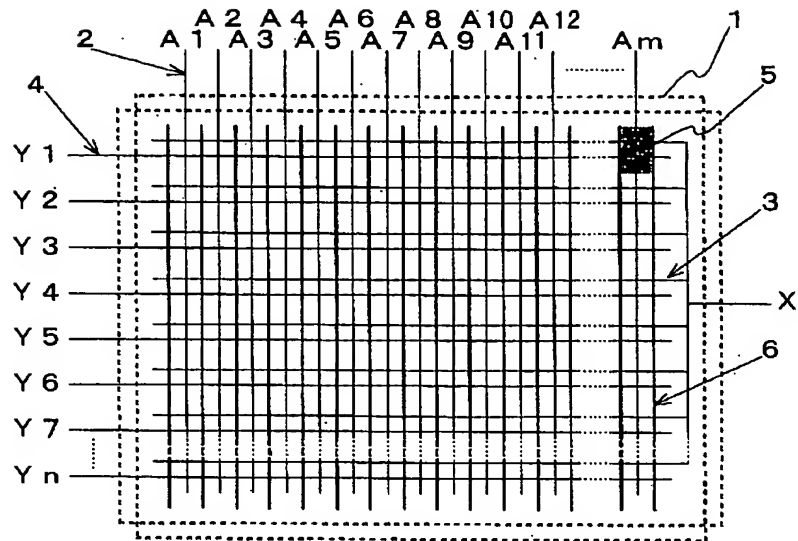
【図16】



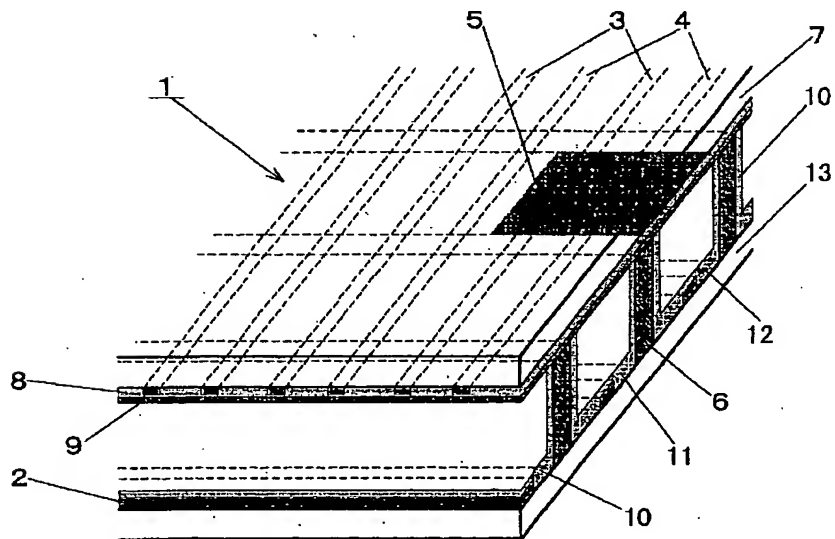
【図18】



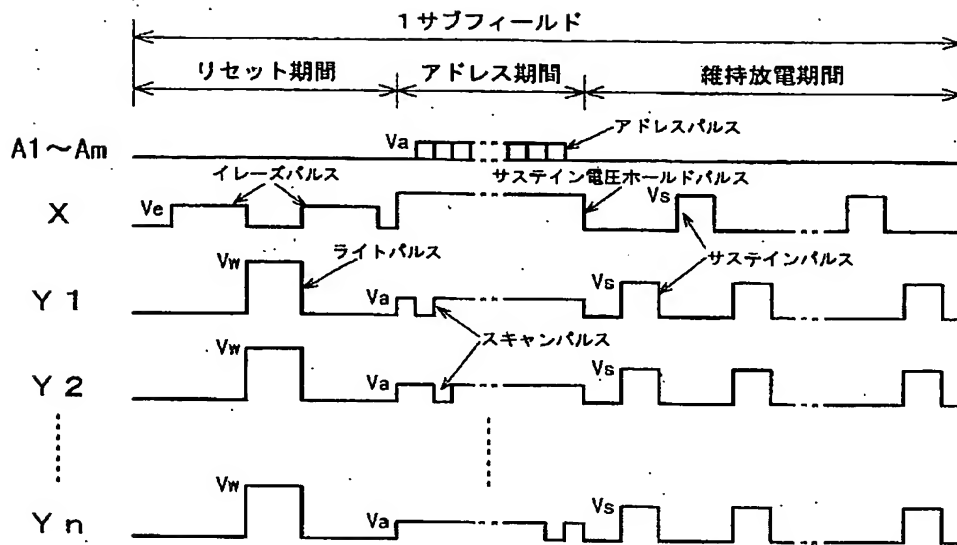
【図19】



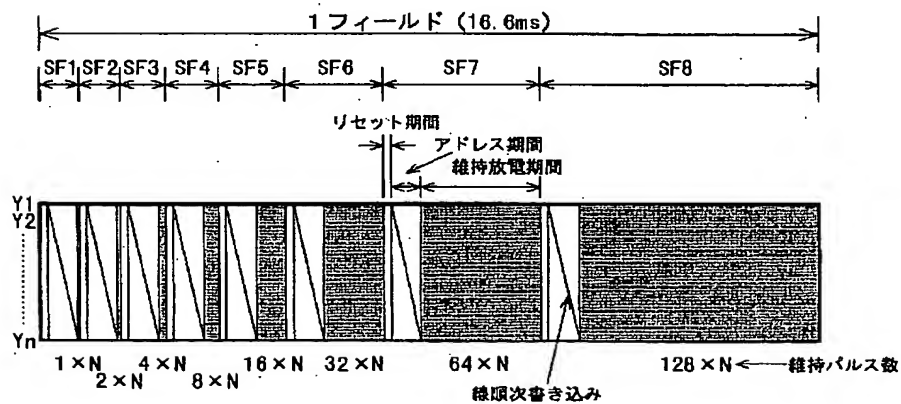
【図20】



【図21】



【図22】



【図23】

1フィールド									
SF1				SF7			SF8		
RST	ADR	SUS		RST	ADR	SUS	RST	ADR	SUS
A1~Am	—	有	—	—	有	—	—	無	—
X	○	○	○	○	○	○	○	○	○
Y1~Yn	○	○	○	○	○	○	○	○	○

【手続補正書】

【提出日】平成9年3月7日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】また、Y電極4は、アドレス期間のほとんどでは、アドレスパルスと同電位のVaなる電圧で固定されているが、アドレス電極に印加されるシリアルデータに対応して、Y電極4における電極Y1から電極Ynに向かって1行ずつ順番に、アドレスパルスと同位相で、0Vの電圧にするスキャンパルスが印加される。これにより、アドレス電極2にアドレスパルスが印加されると共に、Y電極4にスキャンパルスが印加されている場合にのみ、電圧Vaが、リセット期間後に残留している壁電荷に重畳されて放電開始電圧以上になるため表示書き込み放電が起り、画像ビット情報が書き込まれる。また、このときにリセット期間における上記②の全画面一括書き込み時と同様に放電セル部5内に壁電荷が残留する。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】そして、維持放電期間では、Y電極4とX電極3に放電を維持させるためのサステインパルスを交互に印加する。このとき、アドレス電極2は0Vに固定しているが、アドレス期間において画像ビット情報が書き込まれた放電セル部5に残留している壁電荷の量とサステインパルスのみで再放電（維持放電）する。従って、維持放電期間では、アドレス期間で画像ビット情報が書き込まれた放電セル部5のみ、サステインパルスを印加した回数だけ放電が持続する。このように、AC方式プラズマディスプレイパネルには、セル自体に壁電荷を残留させることにより、パネルにメモリ機能を持たせることができる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】それぞれのサブフィールドは、上述のように、リセット期間、アドレス期間、維持放電期間で構成される。サブフィールド毎に維持期間の長さが異なっているのは、ビットの重み付けに相当した維持パルス（サステインパルス）数を印加しているためである。実際に印加される維持パルス数は、LSBより、1, 2, 4, …, 128であり、発光輝度を稼ぐためにさらにそのN倍（Nは正の整数）のパルス数を印加している。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.